دانشگاه تهران

پردیس دانشکدگان فنی

دانشکده‌ی مهندسی برق و کامپیوتر

گزارش پروژه

طراحی مدارات ترتیبی Sequential

مدارات مجتمع خیلی فشرده پیشرفته AVLSI

محمد خوشرو

شماره دانشجویی: ۸۱۰۱۰۲۴۴۱

دکتر شقایق وحدت

تیر ۱۴۰۵

چکیده:

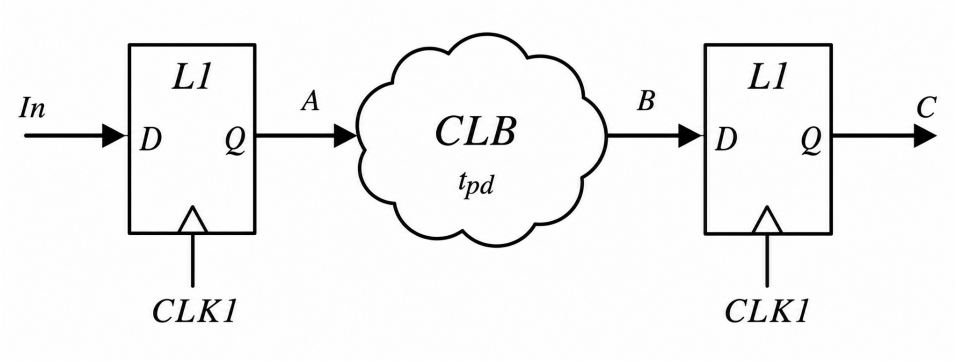
در این گزارش به طراحی یک سیستم حافظه‌دار و تحلیل زمانی آن خواهیم پرداخت. در ابتدا یک مدار ترکیبی را طراحی و شبیه سازی خواهیم کرد. سپس یکی از ساختارهای متداول رجیسترها را پیاده‌سازی کرده و با قرار دادن مدار ترکیبی بین دو رجیستر، فرکانس کاری مدار را محاسبه خواهیم کرد. در نهایت با پیاده سازی یک ساختار متداول Latch و قرار دادن مدار ترکیبی بین آرایه‌ای از Latchها، فرکانس کاری مدار را محاسبه کرده و ساختارهای ایجاد شده را با یکدیگر مقایسه خواهیم کرد.

فهرست مطالب

۱.۰ pipe-Line مبتنی بر Latch ۲
۱.۱.۰ ساختار یک طبقه‌ای ۲
۲.۱.۰ ساختار دو طبقه‌ای ۲

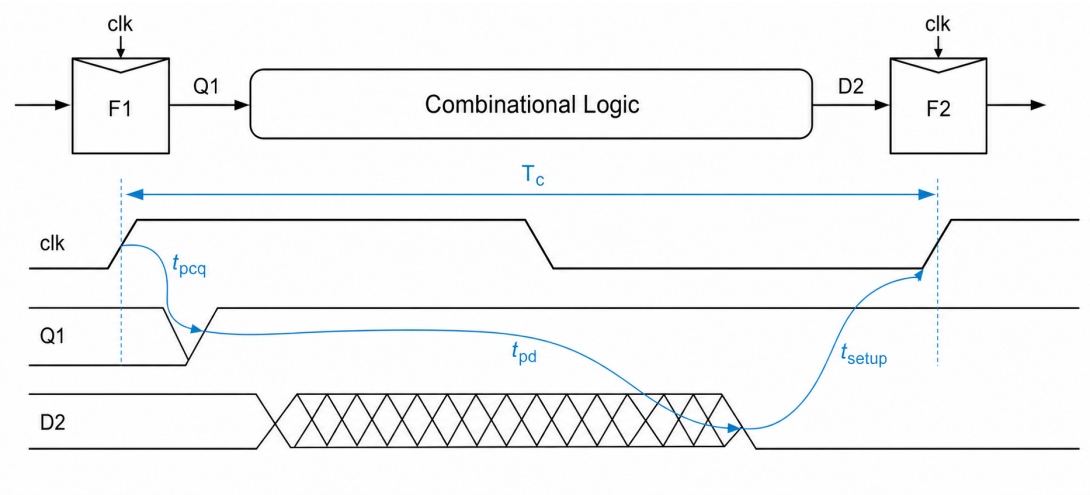
۱- طراحی pipe-Lineهای ترتیبی

۱.۱- pipe-Line مبتنی بر رجیستر



شکل ۱: شماتیک pipe-Line مبتنی بر رجیستر

در این بخش مدار محاسباتی را بین دو رجیستر حساس به pos-edge قرار می‌دهیم و فرکانس کاری مدار را اندازه گیری می‌کنیم.

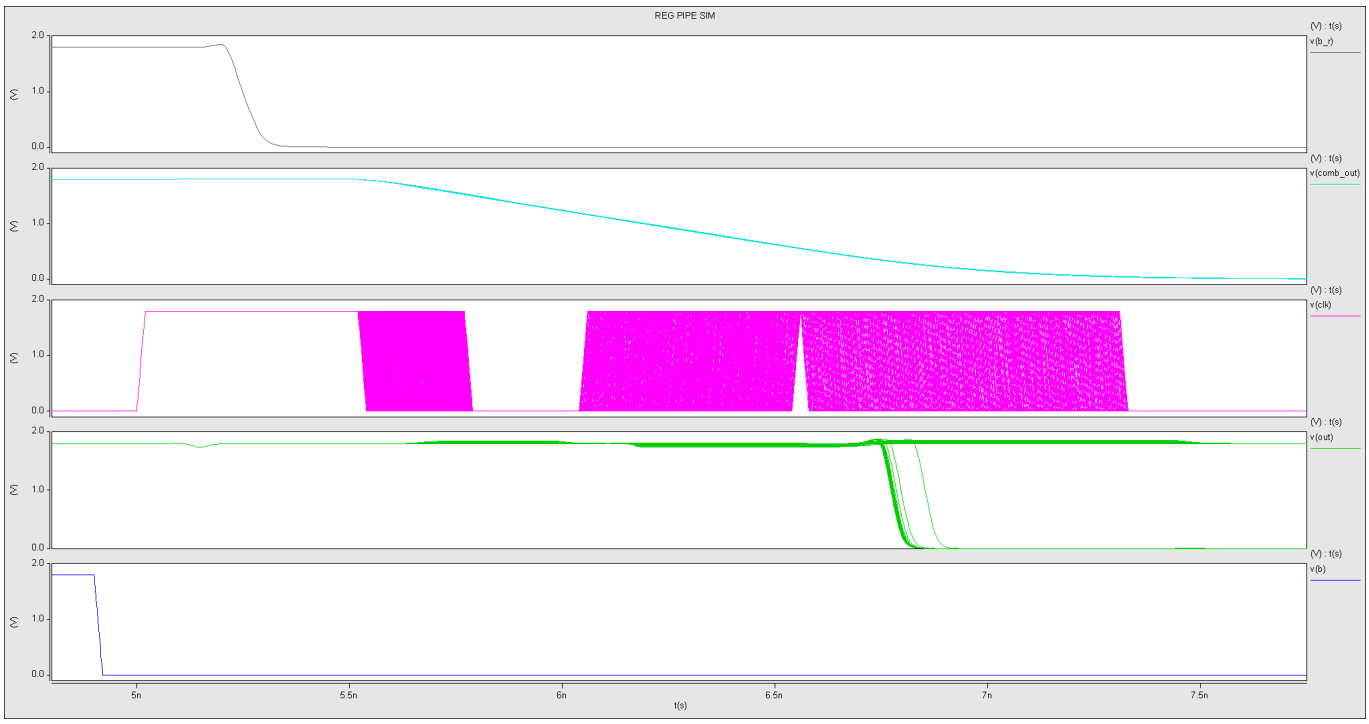


شکل ۲: تحلیل زمانی مدار pipe-Line مبتنی بر رجیستر

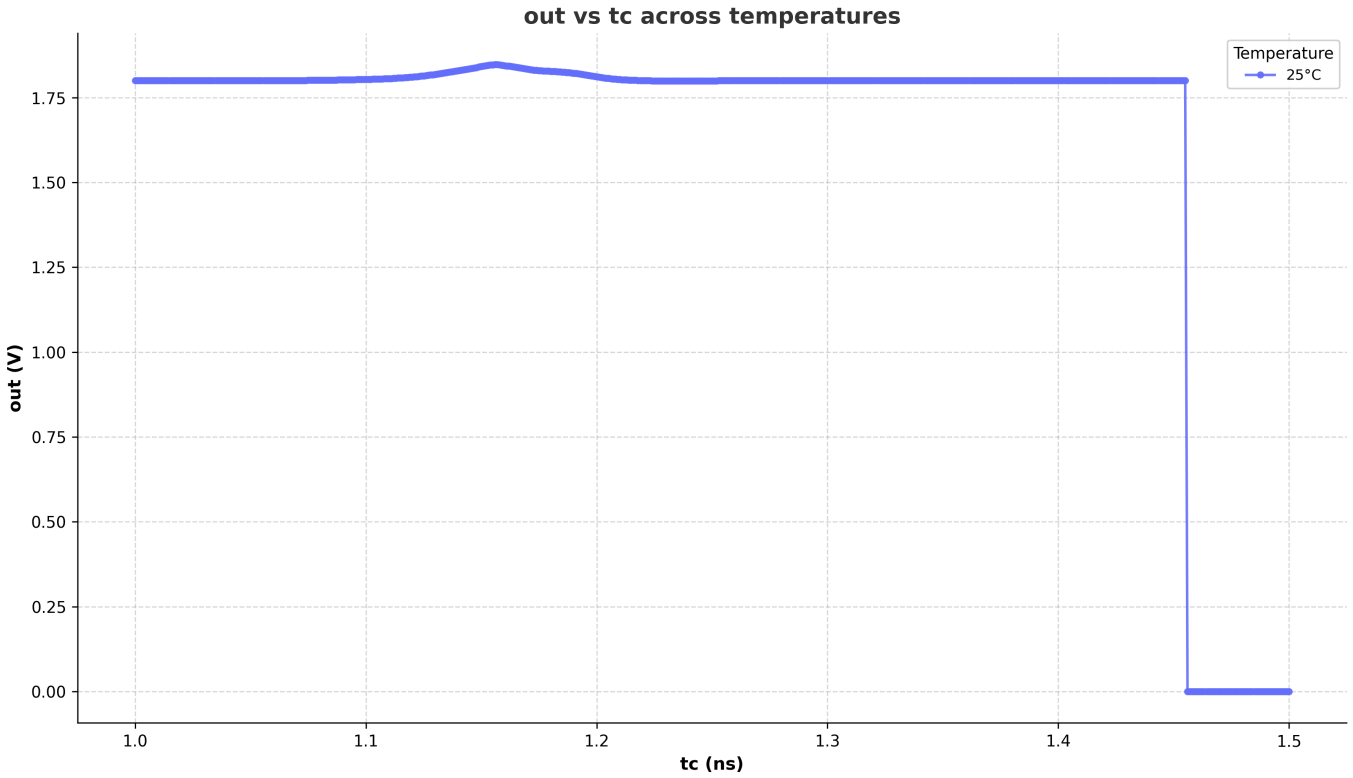
از نظر تئوری برای کار کردن صحیح مدار باید دوره تناوب سیگنال CLK ما از این رابطه تبعیت کند (همان رابطه Max Delay Constraints):

$$T_c \geq t_{cq_{reg}} + t_{pd_{CLB}} + t_{setup}$$

بر اساس اعدادی که برای تاخیرها در بخش‌های قبل بدست آوردیم حداقل دوره تناوب سیگنال CLK باید برابر با 750.6ps باشد. در ادامه با استفاده از `SWEEP`. مقادیری در بازه قبل و بعد از این اندازه تئوری را بررسی می‌کنیم. (با اینکار هر چهار خواسته‌ی صورت پروژه برآورده می‌شود. بخش ۴ تا ۷) برای شبیه‌سازی از همان Transitionای استفاده می‌کنیم که بیشترین تاخیر را برای مدار می‌سازد: $(A = 1, B = 1 \rightarrow 0, C = 1, D = 0)$
همچنین خروجی باید از یک به صفر تغییر کند.



شکل ۳: شکل موج SWEEP T_c برای مدار pipe-Line مبتنی بر رجیستر



شکل ۴: نمودار تاثیر دوره تناوب بر عملکرد صحیح مدار pipe-Line مبتنی بر رجیستر

با توجه به خروجی شبیه‌سازی این مقدار حداقل دوره تناوب برای کارکرد درست مدار پایپ‌لاین ما 1.455e-09s یا در حقیقت 1455ps هست. که خیلی بیشتر از برآورد تئوری ما هست :)

احتمالا مربوط به خازن گیت‌های رجیستری هست که بار خازنی اضافه ای به مدار محاسبات اعمال می‌کنند و باعث افزایش تاخیر می‌شوند. همینطور خازن گیت‌های ورودی مدار محاسباتی که این افزایش باز را به رجیسترهای اولیه اعمال می‌کنند.

همچنین دلیل نمونه‌برداری اشتباه برای دوره تناوب‌های کمتر این است که برای عبور داده‌ی درست از ورودی مدار به خروجی آن می‌بایست یک حداقل زمان برای آن به مدار فرصت بدهیم در غیر این صورت در بدترین شرایط کاری مدار(شرایطی که ما در اینجا به مدار اعمال کردیم) داده خروجی مدار محاسبات درست نیست و نمونه‌برداری ما اشتباه می‌شود.

۲.۱- pipe-Line مبتنی بر Latch

۱.۲.۱ ساختار یک طبقه‌ای

۲.۲.۱ ساختار دو طبقه‌ای